

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223720
 (43)Date of publication of application : 11.08.2000

(51)Int.CI.

H01L 29/861
H01L 21/322

(21)Application number : 11-021637
 (22)Date of filing : 29.01.1999

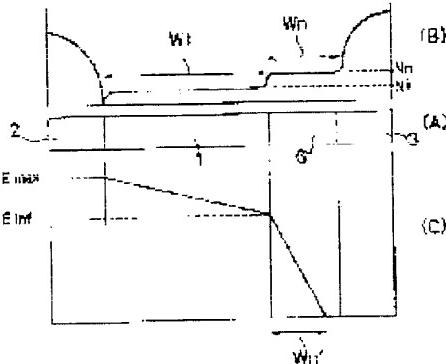
(71)Applicant : MEIDENSHA CORP
 (72)Inventor : YAMADA SHINICHI

(54) SEMICONDUCTOR ELEMENT AND LIFE TIME CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To relax rapid current drop at the time of the end of inverse recovery, and to reduce spike voltage.

SOLUTION: A p type anode layer 2 and an n⁺ type cathode layer 3 are respectively formed at one edge and the other edge of a substrate constituted of an n type semiconductor whose density is extremely low, and an i layer 1 is formed between the p type anode layer 2 and the n⁺ type cathode layer 3 in this semiconductor element. An n type impurity layer 6 whose density is lower than that of the n type cathode layer 3 is formed between the i layer 1 and the n⁺ type cathode layer 3. A distance Wn of the n type impurity layer 6 is made sufficiently shorter than a distance Wi of the layer 1. Also, the following formula is established by defining the maximum electric field intensity as Emax, and electric field intensity when the inclination of the electric field is changed due to the difference of density of the i layer 1 and the n type impurity layer 6 as Einf, and a distance from the distance Wi when the electric field is turned into 0 as Wn' (Wn' < Wn) for obtaining a design breakdown strength Vb of the semiconductor element. In this formula, $Vb = (Emax + Einf)Wi / 2 + EinfWn'/2$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-223720

(P2000-223720A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl.

H 01 L 29/861
21/322

識別記号

F I

H 01 L 29/91
21/322
29/91

テ-モト(参考)

D
L
J

審査請求 未請求 請求項の数15 O.L (全13頁)

(21)出願番号

特願平11-21637

(71)出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(22)出願日

平成11年1月29日(1999.1.29)

(72)発明者

山田 真一

東京都品川区大崎2丁目1番17号 株式会

社明電舎内

(74)代理人 100062199

弁理士 志賀 富士弥 (外1名)

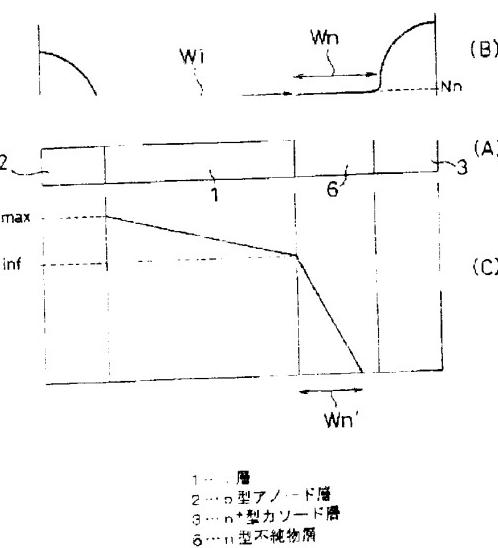
(54)【発明の名称】 半導体素子およびライフタイム制御方法

(57)【要約】

【課題】 逆回復終了時の急激な電流低下を緩和し、スパイク電圧を抑制する。

【解決手段】 極めて低濃度のn型半導体から成る基板

本発明の実施の第1形態におけるp-i-nダイオード



型カソード増殖を形成し、前記p型アノード層とn型カソード層との間に、層1を形成して成る半導体素子において、前記層1とn⁺型カソード層3との間に、n型カソード層3よりも低濃度のn型不純物層6を形成する。前記n型不純物層6の距離Wnは前記層1の距離Wiと比較して十分短くする。また、前記半導体素子の設計耐圧Vbを得る必要があるため、最大電界強度をE_{max}、1層1とn型不純物層6との濃度差によつて電界の傾きが変化する際の電界強度をE_{inf}、電界が0になつた際のWnからの距離をWn' (Wn' < Wn)として、下記の式が成り立つようにする。
$$V_b = (E_{max} - E_{inf})W_i / 2 - E_{inf}W_n'$$

【特許請求の範囲】

【請求項1】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、

前記カソード層と1層との間に、前記カソード層と比較して高濃度のn型半導体から成る不純物層を設けたことを特徴とする半導体素子。

【請求項2】 前記不純物層の厚さは、前記1層の厚さと比較して薄いことを特徴とする請求項1記載の半導体素子。

【請求項3】 一導通の誘電率をε₀、半導体材料の比誘電率をε_r、電子の電荷量をq、カソードギャップをE_g、前記1層の濃度をN₁、前記1層の厚さをW₁、前記不純物層の濃度をN₂、前記不純物層の厚さをW₂、前記不純物層における電界が0の部分と前記W₁との間の距離をW₃、最大電界強度をE_{max}、前記1層とn型半導物層との濃度差によって電界の傾きが変化する際の電界強度をE₁(n)、設計耐圧をV_b、前記アノード層と1層との接合で得られる最大の耐電圧値をV_{b'm}として

$$\text{前記} V_{b'm} = (E_{max} \cdot x + E_{1}(n) \cdot W_1 / 2 - E_{1}(n) \cdot W_2) / 2$$

前記E_{max}・xは前記1層の濃度N₁の関数、(2V_{b'm} / (2ε_rε₀qN₁)^{1/2})、

前記E₁(n)はE_{max} = qN₂W₁/x₀、

前記W₂はE₁(n) / (qN₂x₀ε₀ε_r)

$$V_b = (\sum_{x=0}^{x-1} (E_{(x)} + E_{(x+1)}) W_{(x)} + E_{(0)} W_{(0)}) / 2$$

が成立立つようとすると共に、前記W₍₀₎からW_(x)'を引いた距離が前記カソード側に生じる電界の距離と比較

前記V_{b'm}は6.0(1.0¹⁶ / N₁)^{3/4} × (E_g / 1.1)

となるようにし。

前記W₂からW₁'を引いた距離が前記基板のカソード側に生じる電界の厚さと比較して厚くするように、前記1層の濃度、厚さおよび前記不純物層の濃度、厚さを設計したことを特徴とする請求項1記載の半導体素子。

【請求項4】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、

前記1層とカソード層との間に、それそれ前記1層の濃度と比較して高濃度のn型半導体から成る不純物層を複数段設けたことを特徴とする半導体素子。

【請求項5】 前記不純物層は、前記1層の濃度N₁と比較して高濃度のn型半導体から成る第1不純物層と、前記第1不純物層と比較して高濃度のn型半導体から成る第2不純物層と、が形成することを特徴とする請求項4記載の半導体素子。

【請求項6】 前記不純物層をC段設け、前記1層の濃度をN₁、厚さをW₁として、前記基板の深さ方向の任意の距離をx、そのxにおける電界をE_(x)、厚さをW_(x)、濃度をN_(x)として、C段目の不純物層の電界をE₍₀₎、厚さをW₍₀₎として、前記C段目の不純物層における電界が0の部分と前記W₍₀₎との間の距離をW_{(0)'}として、設計耐圧をV_bとして、下記の式式

【数1】

(x-d0)²

倍になら部分との間の距離をW_{d0}として、

【数2】

$$N_{(x)} = N_1 + (N_n - N_1) \times \frac{1}{N_n - N_1}$$

が成立立つようにもし。

前記N_(x)の式は、15xの微小な間隔xを前記設計耐圧V_bの式のW_(x)とすると共に、前記微小な間隔xの濃度をN_(x)として求めた耐圧が設計耐圧となるように、前記N_n、d₀、W_{d0}を設計したことを特徴とする請求項6または7記載の半導体素子。

【請求項7】 請求項6記載の半導体素子において、真空の誘電率をε₀、半導体材料の比誘電率をε_r、電子の電荷量をq、前記アノード層と1層との接合で得られる最大の耐電圧値をV_{b'm}として、E_{max} = (2ε_rε₀qN₁)^{1/2}、E₁(n ≠ 0)は

$$E_{(0)} = q / \epsilon_0 \epsilon_r \times \sum_{x=0}^{x-1} (N_{(x)} W_{(x)})$$

となることを特徴とする半導体素子。

【請求項8】 前記複数段の不純物層は、濃度分布の式が近似的にガウス分布となるように基板の距離c(0)からピーク濃度N_nの拡散を行って形成し、前記d₀と、前記拡散による濃度が1層の濃度N₁の2

電流の急激な減少が起こる直前の印加電圧によって生じ

る電界で、前記上層側の一端とカーボード層との間のライタスムを長くするように、前記基板のアノード側から比較的低加電圧の電子線照射を行なうことを特徴とするライタスム制御方法。

【請求項10】 前記基板のアノード側から比較的低加電圧の電子線照射を行なう代わりに、前記基板のカーボード側から比較的高電圧電子線照射を行なうことと特徴とする請求項1記載のライタスム制御方法。

【請求項11】 純濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカーボード層を形成し、前記アノード層とカーボード層との間に干渉を形成して構成された半導体素子の、アノード側の印加電圧において、

電子線、フロント、ヘリウム等の荷電粒子のうち、何れか1種類の荷電粒子を前記基板に対して少なくとも2回以上照射し、電流が急激な減衰が起る直前の印加電圧によって生じる電界で、上層側の一端とカーボード層との間のライタスムを長くするように制御したことと特徴とするライタスム制御方法。

【請求項12】 前記電子線、フロント、ヘリウム等の荷電粒子のうち、それそれ異なる種類の荷電粒子を前記基板に対して複数回照射することと特徴とする請求項1記載のライタスム制御方法。

【請求項13】 請求項12は、前記基板のアノード側、カーボード側、またはアノード側またはカーボード側に対する照射にこだわることと特徴とする請求項1-1または1-2記載のライタスム制御方法。

【請求項14】 低濃度n型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカーボード層を形成し、前記アノード層とカーボード層との間に干渉を形成して構成された半導体素子の、アノード側の印加電圧において、

前記上層におけるアノード側、カーボード側におけるア

起二重前の印加電圧によって生じる電界で、上層側のアノード層とカーボード層との間の一端とカーボード層を長くするように制御することと特徴とするライタスム制御方法。

【請求項15】 請求項1-8記載の半導体素子において、

請求項1-1-4記載のライタスム制御方法を適用したことと特徴とする半導体素子。

【発明の詳細な説明】

【00001】

【免役の漏する技術分野】 本発明は、電力変換装置に使われる半導体素子特にp-i-nダイオードに関する、電流減少による静電誘導を併せて、安定した動作を可能にした半導体素子およびライタスム制御方法に関するものである。

【0002】

【従来の技術】 p-i-nダイオードは、電力変換装置に広く使われ、高耐圧と低い順方向電圧降下とを実現することができる半導体素子である。

【0003】 図1-A(概略構成図)、B(ドーナツ型分布図)は、一般的に用いられているp-i-nダイオードの説明図を示すものである。図1-Aにおいて、符号1は、極めて低濃度のn型半導体から成る基板(一極出し), n型半導体から成るアノード層(2)(アノード領域；以下、p型カーボード層)を示すものであり、符号3は前記基板の他方の端部に設けられた比較的高濃度のn型半導体から成るカーボード層(3)(カーボード領域；以下、p型アノード層)を示すものである。符号4は、前記アノード層とカーボード層との間に形成される層(裏性層)を示すものである。前記アノード層、p型アノード層とカーボード層によりp-i-nダイオード構成される。

【0004】 図1-Bに示したようなp-i-nダイオードは、逆電圧印加時に1層が空疎化し、高い電圧で焼けた層に心得られる。焼け耐性においては、焼け層によってキャリアが充満し、低い電圧降下が生じる。

【0005】

【発明が解決する課題】 前記p-i-nダイオードの焼け耐性において、図1-Bの逆路漏電に手を貸さないp-i-nダイオード4に有機性のアノード回路5を接続した場合、図2-(I)の電流(曲線1)、電圧(曲線V)波形圖によった特性を示す。図2-(I)において、p-i-nダイオードにおける電流は、電流曲線1における一直線で囲まれた部分に示すように連續点線部ではなく、突然消滅(実線部)していることが読み取れる。このような急峻な止まりにされ、高い印加電圧の状態がアノード状の誘導電圧が重畠された状態になり、その誘導電圧が耐圧を超えた場合には、アノードが破壊されてしまう。

【0006】 図2-(II)はp-i-nダイオードにおける過

熱によって起きた現象である。図2-(II)の電流曲線2は、初期電流が消滅する部分を示すものである。図2-(II)中の電流曲線2において、a点はp-i-nダイオード回路の電流が流れはじめる点で、b点はp-i-nダイオードの逆方向電流が消滅する直前の点で、c点はp-i-nダイオードの逆方向電流が消滅した部分を示すものである。

【0007】 図2-(II)のa点、b点、c点は、それが逆路漏電中にあつても、c点における漏電(p-i-nダイオードにおけるアノード層側の端部からの漏電)に対する電子濃度分布(ドーナツ型分布)に対する電界強度を前述するものであつたら、図2-(II)に示したように、順方向耐圧時間にアノード層付近のキャリア、電子およびホール濃度が急激に低下していくために、図2-(II)に示したような急激な電流

の減トが起こることを判明した。

【図10-5】また、図と4に示すようにp-n-nイナジウムは、p型アノード層側の電界とは別にn+型カソード層側(図10-4中の点線部)が生じてしまい、それがp型アノード層側とn+型カソード層側との各電界を互いに重なり合うために、n+型カソード層側のエネルギーが急激に減少してしまうことを読み取ることができます。

【参考文献】本説明は、前記課題に基づいて成されたものであるが、逆回復終了時の電流の急激な電流低下を緩和し、スパイク電圧の発生を抑制して、安定した動作が可能でよりエネルギー効率の半導体整流器によく適用する目的で開発されたものである。

{ 1 } 1 { }

【課題を解決するための手段】本発明は、前記課題を解決するためには、第1発明は、低濃度のA型半導体から成る基板の一方の端部にはB型半導体から成るアーバード層を形成すると共に、前記基板の他方の端部に比較的高濃度のB型半導体から成るアーバード層を形成し、前記アーバード層とアーバード層との間に上層を形成して構成される半導体装置において、前記アーバード層と上層との間に、比較的濃度のA型半導体から成る不純物層を設けることとする特徴による。

【00-11】第二発明は、前記第1発明において前記電動機の軸に接する前記上層の厚さを「比較的薄」したところが特徴とする。

【(1)(1)(2)】第1発明は、前記第1発明において、真空の誘電率を ϵ_0 、半導体材料の比誘電率を ϵ_s 、電子の電荷量を e 、ドーピング濃度を正す、前記1層の濃度を N_1 、前記1層の厚さを W_1 、前記不純物層の濃度を N_n 、前記不純物層の厚さを W_n 、前記不純物層における電界 E_{n1} の部分と前記 W_1 との間の距離を W_{n1} 、最大電界強度を E_{max} 、前記1層と n 型不純物層との濃度差によって電界的傾きが変化する際の電界強度を E_n 、

f、設計耐圧をV_b、p_i接合で得られる最大の耐電圧値をV'bmとした。前記V_bは(E_{max}+E_nt)W_i/[2+E_ntW_n]×2、前記E_{max}は前記1層の濃度N_iの開放(2V'bm/[2+q_nN_i])^{1/2}、前記E_{in}fはE_{max}/q_nN_iW_i^{1/2}×ε、前記W_n'はE_{in}f/[q_nN_i]^{1/2}×ε、前記V'bmはら(10¹⁶×N_i)^{1/2}×(E_g/1-1)^{1/2}となる。前記W_nがV'bmを引いた距離が前記基板のカーボン側に生じる電界の厚さと比較して厚さううに、前記1層の濃度、厚さおよび前記不純物層の濃度、厚さを設計したことを特徴とする。

【0013】第4発明は、低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るカバード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカバード層を形成し、前記カバード層とカバード層との間に1層を形成して構成された半導体素子における、前記1層とカバード層との間にそれが前記1層の濃度と比較して高濃度のn型半導体から成る不純物質を複数段階にところて假想とする。

【00-14】第5発明は前記第4発明に依りて、前記不純物層は、前記1層の濃度N₁と比較して高濃度のn型半導体が形成し第1不純物層と、前記第1不純物層と比較して高濃度のn型半導体が形成する第2不純物層、
n型成る旨を特徴とする。

【0015】第5発明は、前記第4発明において、前記不純物層をC段階で、前記C層の濃度をN_c、厚さをW_cとし、半導体基板の深さ方向の任意の距離をx、そのxにおける電界をE_(x)、厚さをW_(x)、濃度をN_(x)とし、C段階の不純物層の電界をE_(c)、厚さをW_(c)とし、前記C段階の不純物層における電界が0の部分を前記W_cとの間の距離をW₍₀₎とし、設計耐圧をV_bとして、下記の式

[0016]

[卷之三]

$$E_{(0)} = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N_{(x)} W_{(x)})$$

[由上而下] 在特徵上在特徵上在

【0021】第8発明は、前記第6または第7発明において、前記複数段の不純物層は、濃度分布の式が近似的に半対数分布となるように基板の距離 z から一々濃度 $N(z)$ の分散を行って形成し、前記よりと、前記分散により濃度が 1 層の濃度 N_1 の 2 倍になる部分との間の距離 W_d として、

$$\begin{bmatrix} 0 & 0 & 2 & 2 \end{bmatrix}$$

[36]

$$N_{(x)} = N_i + (N_n - N_i) \left(\frac{N_i}{N_n - N_i} \right)^{\frac{(x-d0)^2}{Wd^2}}$$

【0023】が成り立つようにし、前記N_(x)の式におけるxの微小区間△xを前記設計耐圧V_bの式のW_(x)とせずと共に、前記微小区間△xの濃度をN_(x)として求めた耐圧が設計耐圧にならざる、前記N_n, d₀, W_dを設計したことを特徴とする。

【0024】第9発明は、低濃度のn型半導体から成る基板の一方の端部にはn型半導体から成るアーボード層を形成すると共に、前記基板の他方の端部には比較的高濃度のp型半導体から成るカソード層を形成し、前記アーボード層とカソード層との間にn層を形成して構成された半導体素子に対するダイヤム制御方法において、電流が急激な減少が起る直前の印加電圧によって生じる電界で、前記n層側の一端とカソード層との間の電子フタリムを長くするように、前記基板のアーボード側から比較的低加速電圧の電子線照射を行ったことを特徴とする。

【0025】第10発明は、前記第9発明において、前記基板のアーボード側から比較的低加速電圧の電子線照射を行った中に、前記基板のカソード側から比較的高加速電圧の電子線照射を行ったことを特徴とする。

【0026】第11発明は、低濃度のn型半導体から成る基板の一方の端部にはn型半導体から成るアーボード層を形成すると共に、前記基板の他方の端部には比較的高濃度のp型半導体から成るカソード層を形成し、前記アーボード層とカソード層との間にn層を形成して構成された半導体素子に対するダイヤム制御方法において、電子線、プロトロン、ヘリウム等の荷電粒子から、何れか1種類の荷電粒子を前記基板に対して、1端と2端以上照射し、電流の急激な減少が起る直前の印加電圧によつて生じる電界で、n層側の一端とカソード層との間の電子フタリムを長くするように制御したことを特徴とする。

前記電子線、プロトロン、ヘリウム等の荷電粒子の中でも、それぞれ異なる種類の荷電粒子を前記基板に対して複数照射したことを特徴とする。

【0028】第13発明は、前記第11または第12発明において、前記荷電粒子は、前記基板のアーボード側、カソード側、またはアーボード側によつてカソード側に付して照射したことを特徴とする。

【0029】第14発明は、低濃度のn型半導体から成る基板の一方の端部にはn型半導体から成るアーボード層を形成すると共に、前記基板の他方の端部には比較的高

$$V_{b} = E_{max} \times E_{min} \times W_1 / 2^{E_{max} \times W_1 / 2} \quad (1)$$

前記(1)式が成り立つ必要がある理由は、耐圧における電界がn型カソード層に達しないようにするためにある。

濃度のn型半導体から成るカソード層を形成し、前記アーボード層とカソード層との間にn層を形成して構成された半導体素子に対するダイヤム制御方法において、前記n層におけるアーボード側とカソード側とにダイヤムの類似槽を設けることにより、電流の急激な減少が起る直前の印加電圧によって生じる電界で、n層側の一端とカソード層との間の電子フタリムを長くするように制御したことを特徴とする。

【0030】第15発明は、前記第1～第8発明において、前記第9～第14発明のダイヤム制御方法を適用したことを特徴とする。

【0031】

【発明の実施の形態】以下、本発明の実施の第1～第11形態を図面に基づいて説明する。

【0032】本発明の実施の第1～第7形態は、逆回復終了時の電流の急激な電流低下を緩和し、スマート電圧の発生を抑制するダイヤムオートを構成したものである。

【0033】图1A(概略構成図)、B(不純物濃度分布図)、C(耐圧印加時電界強度分布図)は、本発明の実施の第1～第7形態におけるn層の電子フタリム説明図を示すものである。图1において、符号nは、n層とn型半導体素子の間に形成されるn型半導体から成る不純物層、n型カソード層つまりn層濃度は(以下n型不純物層と称する)を示すものである。

【0034】ここで、前記n層の距離、厚さをW₁、そのn層の不純物濃度をN_nとする。前記n型不純物層の距離をW_n、そのn型不純物層の不純物濃度をN_nとする。また、前記W₁とW_nにおいて、前記W_nが長く(即ち)たり得ると頂点耐電圧降下の上昇を招くため、前記W_nは前記W₁と比較して十分短く(薄く)する必要がある。そのため、前記W₁とW_nにおいて、関係式W₁ > W_nを成立させることが必要である。

【0035】また、n層はカソードの設計耐圧V_bが

挿入され、アーボード側からn層側へ向かって、無段階最大電界強度E_{max}にまで規定されるまでに設計した場合、p-n-n型オートにおいて近似的に下記の(1)式が成り立つ必要がある。なお、E_{min}はn層とn型不純物層の不純物濃度によって電界の傾きが変化する際の電界強度を示すものである。また、W_{n'}は電界が0にならない際のW_nより距離であり、そのW_{n'}はW_nと比較して小さいものとする。

【0036】

$$V_{b} = E_{max} \times E_{min} \times W_1 / 2^{E_{max} \times W_1 / 2} \quad (1)$$

【0037】前記E_{max} E_{min}は、下記のN_nの関数で表すことができる。また、V_{b min}はn層が十分に長い場合に得られる最大の耐電圧値(n型アーボード層上

1層との接合(p-n接合)で得られる最大耐電圧値)を示すものである。

$$(2V_{bdm} / (2 \times eV_{bdm} / qN_1))^{1/2} \quad \dots \dots (2)$$

また、E_{bdm}においては、

$$E_{bdm} = qN_1 W_{n'} \ln e \dots \dots (3)$$

W_{n'}においては、

$$6.0(1.0^2 / N_1)^{1/2} \times (E_g / 1.1)^{1/2} \dots \dots (4)$$

と表すことができる。では、前記(3)は真の耐電圧V_{bdm}を算出するためには、下式が用いられるものとする。また、W_{n'}は、W_nを差し引いた距離、すなはちド側に生じる電界の距離と比較して長いものとする。

【0039】次に、本実施の実施の第2手段を説明する。前記図1に示したp-n+型カソード層3、カーボンN₁の濃度とN₂の濃度を考慮せずに、層1とn型不純物層6との接合において、図1に示すように層1とn型カソード層3との接合に起る現象と同様現象が生じ、この層の電場が発生する場合がある。この場合、N₂の濃度を薄めるとW_{n'}が長くなってしまい、順方向電圧降下の上昇を防ぐことができる。そこで、図2(詳細を省略する)の本実施の第2形態においては、層1とn型カソード層3との間に複数段の不純物層を設けた構造のp-n+型カソードの設計を行った。

【0040】図2A(概略構成図)、B(不純物濃度分布図)、C(耐圧印加時の電界強度分布図)は、本実施の第2形態におけるp-n+型カソードの説明図を示すものである。なお、図1に示すものと同様なものには同一符号を付けて、その詳細な説明を省略する。

$$V_{bd} = (\sum_{x=0}^{n-1} (E_{(x)} + E_{(x+1)}) W_{(x)} + E_{(0)} W_{(0)}) / 2 \quad \dots \dots (5)$$

【0044】なお、前記W_(x)からW₍₀₎'を差し引いた距離は、カソード側に生じる電界の距離と比較して長いものとする。

$$E_{(0)} = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N_{(x)} W_{(x)}) \quad \dots \dots (6)$$

【0046】次に、本実施の実施の第3形態を説明する。図3A(概略構成図)、B(不純物濃度分布図)、C(耐圧印加時の電界強度分布図)は、本実施の第3形態においてp-n+型カソードの説明図を示すものである。なお、図1に示すものと同様のものには同一符号を付けて、その詳細な説明を省略する。図3に示すp-n+型カソード層3側にn型不純物によるプロード拡散を行って、層1とn型カソード層3との間にn型拡散層8を形成する。前記n型拡散層8の不純物濃度はガウス分布を示し、そのガウス分布は下記の数式で表すことができる。

【0038】

$$E_{bdm} = (qN_1 / \pi \sigma^2) \dots \dots (4)$$

V_{bdm}においては、

$$6.0(1.0^2 / N_1)^{1/2} \times (E_g / 1.1)^{1/2} \dots \dots (5)$$

【0041】图2において、符号7aは、層1とn型カソード層3(後述する第2n型不純物層)との間に設けられる第1n型不純物層を示すものであり、その第1n型不純物層7aの不純物濃度は前記層1の不純物濃度よりも高いものとする。符号7bは、前記第1n型不純物層7aとn型カソード層3との間に設けられる第2n型不純物層を示すものであり、その第2n型不純物層7bの不純物濃度は第1n型不純物層7aの不純物濃度よりも高く、且つ前記n型カソード層3よりも低いものとする。前記第1n型不純物層7aおよび第2n型不純物層7bの不純物濃度の比率は、タリック電圧が発生しないよう制御される。

【0042】图2に示したp-n+型カソードの場合は、層1とn型カソード層3との間には2段のn型不純物層(第1、第2n型不純物層)を形成して成るが、それらn型不純物層を複数段にすることにより、順方向電圧降下の上昇をより抑えることができる。例えば、前記複数段のn型不純物層を4段にした際の耐圧V_{bd}は、下記の数式が成立する。

【0043】

【数7】

$$\dots \dots (6)$$

(2式)で表すことができる。E_(n)(n=0)は下記の数式で表すことができる。

【0047】

【数8】

$$N_{(x)} = N_1 - (N_1 - N_i) \left(\frac{N_i}{N_1 - N_i} \right)^{\frac{(x-d0)^2}{Wd^2}} \dots \dots (8)$$

【0048】なお、前記(8)式におけるxの微小区間△xに前記(6)式のW_(x)とし、その際の不純物濃度をN_(x)とすると、前記(6)式と同様に耐圧を計算することができ、その耐圧がp-n+型カソードの設計耐圧となる。

上之N₂和O₂，Wd之設計十三

【0.0.19】前記(8)式より、 \times が d(0)のときに $N(n) = N_{\infty}$ となることを読み取ることができます。前記(9)は $n \cdot n'$ 横跨する層と n -型ウエーブ層との接合によりも力ノード間に位置するものとし、導子内部にあれば無い。また、前記のような条件では、一般にウエーブ側に対する不純物濃度は始点増加するような構造にならなくてはなりません。したがって、前記(10)中の「は濃部」、前記(11)中の「を含む部」を各適して不純物(=n型不純物)を拡散させた際の不純物濃度分布を示すものであり、さもなくともn型不純物を拡散させた際の不純物濃度分布は実験部に示されます。

【(1) (5)】次に、本発明の実施の第4形態を説明する。[図4A]、概略構成図。B:不純物濃度分布図。(前回)当時の電界強度分布図)、本実施の第4形態においては、図4Aと同様の説明図を用いるものとする。なお、図4に示す各部は同様なものは同一の符号を付して、その詳細を説明を省略する。図4に示すと、背景には、正型不純物層①と反型②(一下層③と二上間に設けた比較的低濃度の正型半導体から成る不純物層(以下正型不純物層と称する))を示す。一方の正型不純物層①の不純物濃度は前記実施の不純物層①より低濃度であることを示す。

【図4】図4に右の写真を示すが、左の不規則なA型子純物層の子純物層度N₁は上層1の子純物濃度N₁より多く、強くなっている。強さは測定A(概略構成図)、B(子純物濃度N₁と子純物層度N₁)、C(子純物濃度N₁と子純物層度N₁)とD(子純物層度N₁と子純物層度N₁)を構成して測定した。また、測定A(概略構成図)、B(子純物濃度N₁と子純物層度N₁)、C(子純物層度N₁と子純物層度N₁)を構成して測定した。D(子純物層度N₁と子純物層度N₁)を構成して測定した。

図7-A、概略構成図、B、 γ 純物濃度分布測定は、本実施例第3平場におけるモードナードの説明図を参考して、改変する。図7-B平場中もと同様に、(a)は横面、(b)は正面である。その詳細な説明を省略する。図7には示すが、首尾10.7 mのロングホールにおける複数段の音型不純物層(7中)には、第1音型不純物層7-a、第2音型不純物層7-b(2時)、各電力、下層との間に音型不純物層7-c(1時)、和音型不純物層7-d(2時)がある。

【註記】前記「型子純物層10」の純物濃度は、前記複数段の型子純物層のうち最終段（即ち第2回程の純物層）の純物濃度場（即ち第1回程の純物層）の濃度、濃度Na_{NO₃}を意味する。例如：1層10の下純物濃度は、よりも低い（ても良い）。前記「型子純物層10」（図8A、概略構成図）、B、C純物濃度分

布図)に示すように複数段(図8中では 第1 n₁型下純物層10 a, 第2 n₂型下純物層10 bの2段)でも、各段とも

【0054】次に、本発明の実施例第6形態を説明する。図3に示したpentaオートの場合では、(1)は、(2)接合よりも力が、下側に位置し、基板内部に位置する必要はない記載したが、その付け加え、接合よりも下側に位置した場合においても顕著に無い、例を、図4(A)概略構成図、B(不純物濃度分布図)である。左側の説明図に示すように、(1)と(2)接合より下で、下側に位置した場合、n型不純物層11の不純物濃度N_n1と、n型不純物層11における不純物濃度の最大値より、極めて低い部分が存在する(右号1-1a)が形成される。また、極端な確率で、図10A(概略構成図)、L(不純物濃度分布図)に示すように、同一中のn型不純物層11上に、型力ノード層12との間に、n層13と、n型不純物濃度の低いn型不純物層12を形成した場合においても、図3に示したpentaオートと同様の効果が得られる。

【0055】次に、本発明の実施の第7形態を説明する。
 5. 図1-1 A: 概略構成図、B: 不純物濃度分布前記：
 は実施の第7形態における主なノードアーチアラム用法を
 記すものである。図1に示すように同構造を有す
 て、導入部を除いて、各部詳細な説明を省略する。図1
 1に示す如き、符号1-3 a、1-3 bは、それぞれ「不純物濃
 度分布前記」エピタキシャル成長あるいは基板の張り合
 せ時にによる子層1とn型層、一下層3との間に形成さ
 れる第1、第2 n型不純物層(不純物濃度：第1 n型不
 純物層1-3 a、第2 n型不純物層1-3 b)を示すものとす
 る。符号1-4 a、1-4 bは、それらの不純物濃度が異
 なり、エピタキシャル成長あるいは基板の張り合せに
 よる前記第2 n型不純物層1-3 bとn型層から下層3
 との間に形成される第1、第2 n型不純物層(不純物濃
 度：第1 n型不純物層1-4 a、第2 n型不純物層1-4
 b)を示すものである。

は、エビヅキヤマキの成長段階を参考して、本研究では、主に、子葉と花芽型カバー層との間に有性生殖物層が最も濃度の高い、花芽生殖物層を複数個形成することによって、開花に至るまでの生育過程の特徴が示されている。なお、图1-1に示すように花芽生殖物層は、花芽型カバー層との間に形成される比較的濃い濃度の生殖物層(图1-1中では第1)、型生殖物層1.3%、第2花芽生殖物層1.4%等)が、散在により形成してある。

【005】次に、ドライバー回路における過渡現象時の急速な電流変化を緩和する方法として、p-n-pトランジスタ回路におけるE型カソード付逆アダマスと、G型カソード偏置回路の傾城におけるショットタイムを比較して長めにする方法を説明する。

【0058】図12は、厚さが5.00 μmのp-i-nダイオードにおいて、種々の加速エネルギーで電子線照射した際のシリコウ中の深さに対する吸収量(規格化した吸収量)分布特性図であり、電子線とシリコウ(基板)との間に9.0 μmのエアギャップが存在したモデルのものである。結果を示すものである。前記吸収量(規格化)は、アーフラムとは極めて相間を有し、その吸収量が大きくなるほどアーフラムは短くなる。そのため、図12により、加速エネルギーに対するアーフラム分布を読み取ることができます。

【0059】図12によれば上に、電子線の加速電圧が0.5 MeVの場合(曲線a)、p-i-nダイオードにおける照射される側の表面(深さ0 μm; 以下、照射面と称する)に近くなるほどアーフラムは短く、その照射面から遠くなるに連れて電子線によるアーフラムの影響が無くなることを読み取れる。前記加速電圧が1 MeV(曲線b)の場合には、p-i-nダイオードにおける照射面(表面)の深さが10 μm付近が最もアーフラムが短くなり、その深さ20 μm付近から遠くなるに連れてアーフラムが長くなることを読み取れる。前記加速電圧が2 MeV(曲線c)、5 MeV(曲線d)の場合には、p-i-nダイオードにおける照射面(表面)の深さが10 μm付近が最もアーフラムが短くなり、その深さ20 μm付近から遠くなるに連れてアーフラムが長くなることを読み取れる。

【0060】図12によれば、アーフラム分布に大きな影響因子である厚さを考慮しない場合、p-i-nダイオードにおける各型式の下層2側の端部から長さを有する電子線の照射方法について、本発明の実施の第8形態にまで説明する。

【0061】本実施の第8形態における電子線照射方法は、図13A(概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)に示すように、p-i-nダイオードにおけるド型アーフラムの下層2側の端部から中加速電圧および低加速電圧の電子線を照射する。また、図14A(概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)

によれば、下層2側の端部から中加速電圧および高加速電圧の電子線を照射しても良い。

【0062】図13～14によれば、比較的長い、加速電圧の電子線を下層2側の端部から照射する。下層2側の端部から照射する、または比較的短い、加速電圧の電子線をp-i-nダイオードにおけるド型アーフラムの側の端部から照射することになり、p-i-nダイオードにおけるアーフラムを制御することは不可能となる。なお、本実施の第3形態におけるアーフラムを長くする位置は、電流の急激な減少が起こる直前の印加電圧によって生じる電界において、下層1側の一端とド型カソード層3側の端部との間の領域の吸収量は、その下層1側の一端からド型カソード層3との間の領域以外の部分と比較して「なるべく多く」であることが設計を行なう

【0063】本実施の第8形態におけるアーフラム制御方法は電子線を照射したのであるが、その電子線以外に、ヘリウム等の荷電粒子の照射を行なう場合には、半幅が狭くなるため、高い加速電圧により前記半幅を広げる。または電子に対して種々の方向から照射を行うことにより、前記電子線の照射と同様の効果が得られる。尚且つ、アーフラムは荷電粒子の照射によるか、アーフラム制御方法によれば、本発明の実施の第1～第11形態により説明する。

【0064】本実施の第9形態におけるアーフラム制御方法は、図15A(概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)に示すように、p-i-nダイオードにおけるド型アーフラムの端部から、同ド型アーフラム粒子を複数回同時に複数回照射する。又は、図15Cに示すように、干渉物濃度分布図の場合、そのド型アーフラムに沿う直角方向の端部から複数回照射が実行されている。一方の複数回照射を行うド型アーフラムには複数回照射するド型カソード層3側の端部から、或いは前述2回の複数回照射をそれぞれ別方向(p-i-nダイオードにおけるド型アーフラムの端部から複数回照射するド型カソード層3側の端部から複数回照射するド型カソード層3との間の領域以外の部分と比較して「なるべく多く」)で行われる。

【0065】前記複数回照射を調整するには、加速電圧を変化させる。又は複数回照射と複数回照射と間に、干渉物濃度分布図の板を介在させ、その板の位置を調整することにより、複数回照射を実行される。一方で、電流の急激な減少が起る直前の印加電圧によって生じる電界において、下層1側の一端とド型カソード層3側との間の領域の吸収量は、その下層1側の一端からド型カソード層3との間の領域以外の部分と比較して「なるべく多く」である。

【0066】本実施の第10形態におけるアーフラム制御方法は、図16A(概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)に示すように、p-i-nダイオードにおけるド型アーフラムの下層2側の端部から、それが複数回照射されるド型カソード層3との間の領域の吸収量を観察照射する。そのド型カソード層3の一端におけるド型アーフラムの端部から複数回照射する。

【0067】そのド型カソード層3の一端におけるド型アーフラムの端部から複数回照射を行なっているが、その複数回照射を行なうド型カソード層3の一端におけるド型カソード層3側の端部、或いは複数回照射をそれが複数回照射するド型カソード層3との間のド型カソード層3との間の領域の吸収量は、そのド型カソード層3との間の領域以外の部分と比較して「なるべく多く」である。

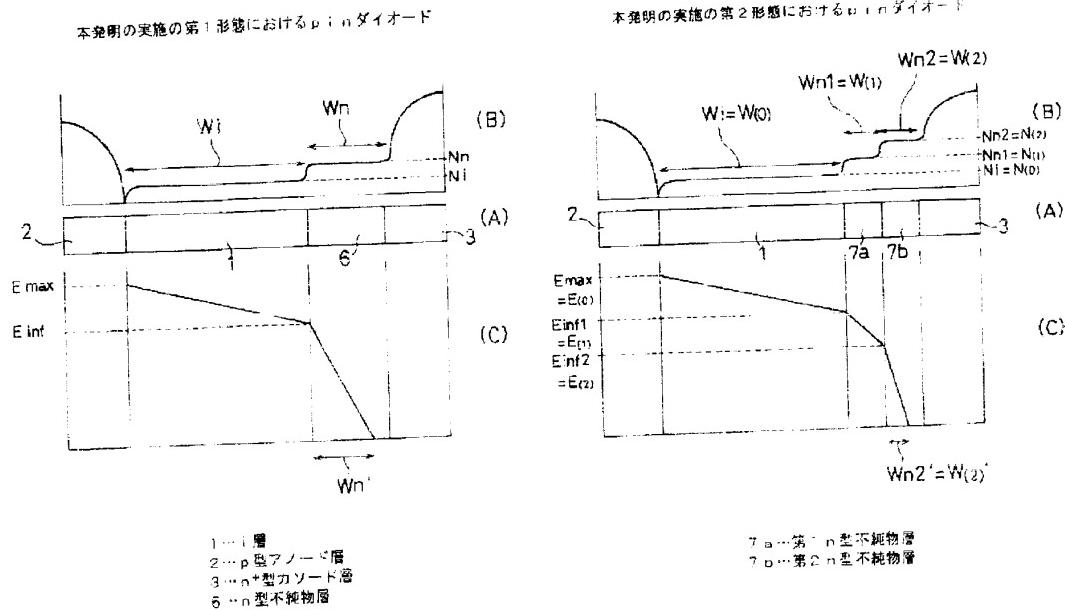
【0068】前記複数回照射における照射深さを調整するには、加速電圧を変化させる。或いは複数回照射と複数回照射との間に、干渉物濃度分布図の板を介在させ、その板の位置を調整することにより行われる。一方で、電流の急激な減少が起る直前の印加電圧によって生じる電界において、下層1側の一端とド型カソード層3との間の領域の吸収量は、その下層1側の一端からド型カソード層3との間の領域以外の部分と比較して「なるべく多く」である。

強度特性図。

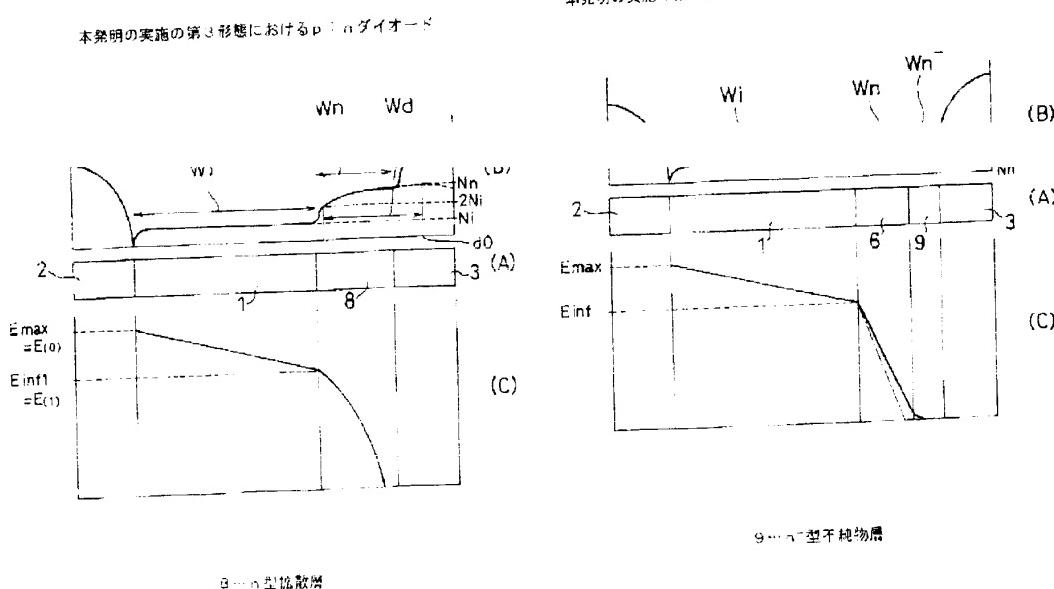
【符号の説明】

- 1 … i層
- 2 … p型アノード層
- 3 … n⁺型カソード層
- 6, 11 … n型不純物層

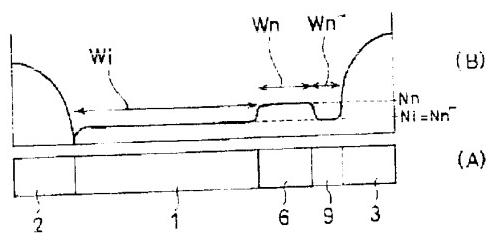
【図1】



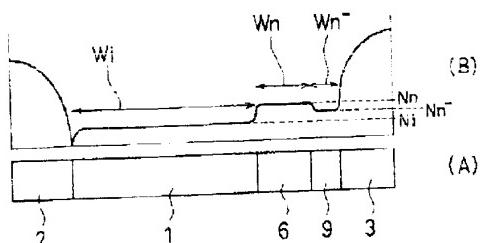
【図3】



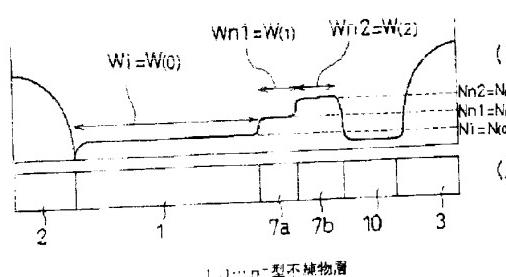
【図5】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i = N_{n^-}$)

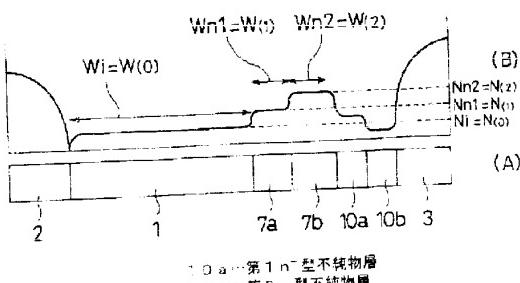
【図6】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i < N_{n^-}$)

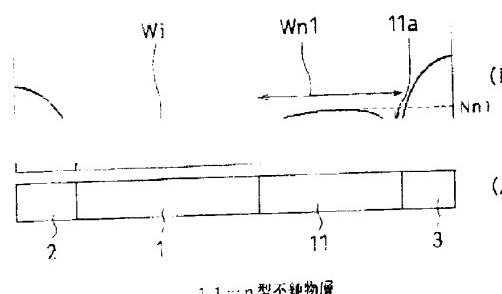
【図7】

本発明の実施の第5形態におけるp-i-nダイオード (n^- 型不純物層10)

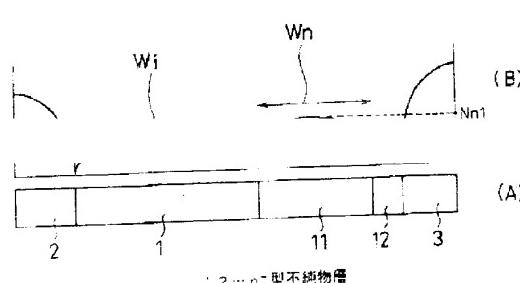
【図8】

本発明の実施の第5形態におけるp-i-nダイオード
(n^- 型不純物層10a, 10b)

【図9】

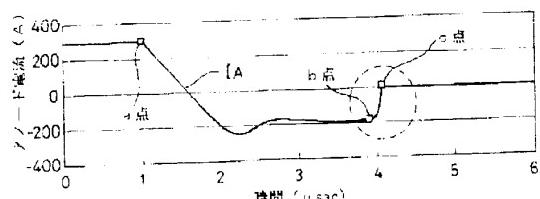
本発明の実施の第6形態におけるp-i-nダイオード
(n 型不純物層11のみ)

【図10】

本発明の実施の第6形態におけるp-i-nダイオード
(n 型不純物層11と n^- 型不純物層12)

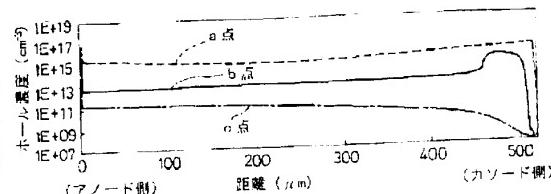
【図21】

p-i-nダイオードのアノード電流特性図

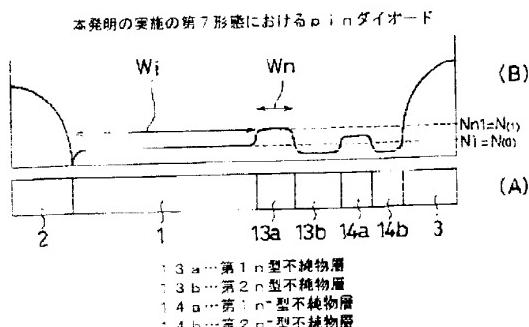


【図23】

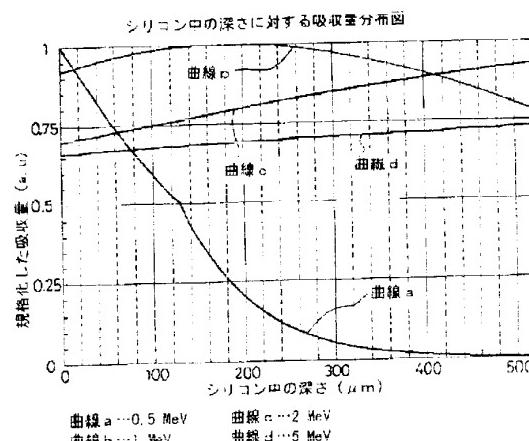
p-i-nダイオードホール濃度特性図



【図1-1】

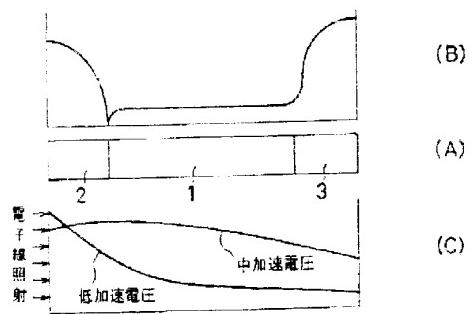


【図1-2】



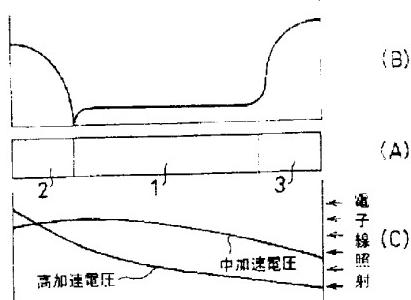
【図1-3】

本発明の実施の第8形態におけるライフタイム制御方法（アノード側）



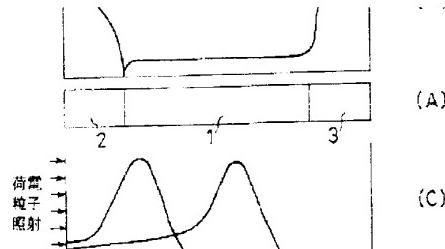
【図1-4】

本発明の実施の第8形態におけるライフタイム制御方法（カソード側）

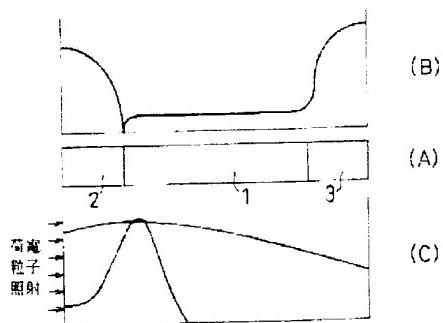


【図1-5】

本発明の実施の第9形態におけるライフタイム制御方法

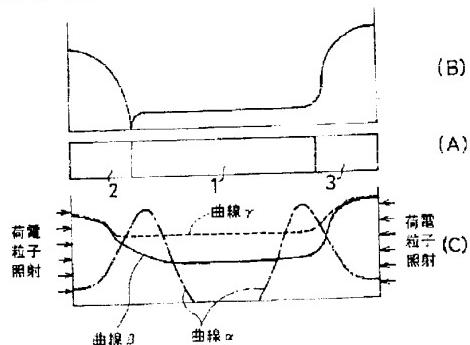


本発明の実施の第10形態におけるライフタイム制御方法



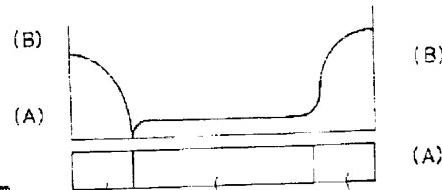
【図17】

本発明の実施の第11形態におけるライフタイム制御方法



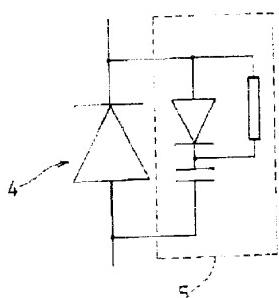
【図18】

一般的に知られているp-i-nダイオード



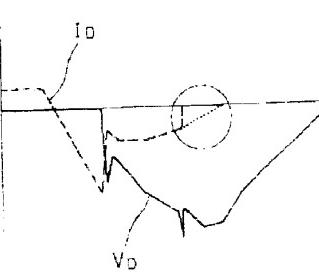
【図19】

スナバ回路を用いたp-i-nダイオードの回路図



【図20】

p-i-nダイオードの電流・電圧波形図



【図24】

【図22】
p-i-nダイオードの電子濃度特性図

